



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020010061081

(43) Publication.Date. 20010707

(21) Application No.1019990063565

(22) Application Date. 19991228

(51) IPC Code:

H01L 27/04

(71) Applicant:

HYNIX SEMICONDUCTOR INC.

(72) Inventor:

CHOI, BYEONG JIN

HWANG, CHI SEON

(30) Priority:

(54) Title of Invention

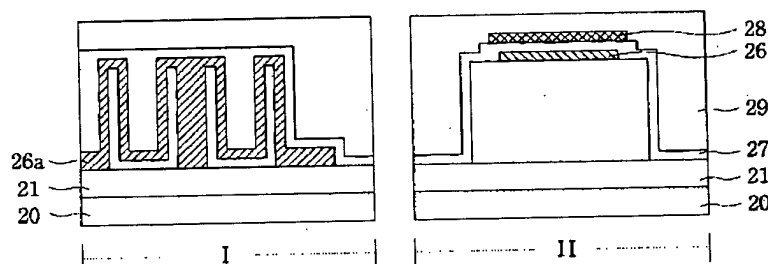
METHOD FOR FORMING FUSE OF SEMICONDUCTOR DEVICE

Representative drawing

(57) Abstract:

PURPOSE: A method for forming a fuse of a semiconductor device is provided to perform easily a repair process by reducing a thickness of a fuse protection layer.

CONSTITUTION: The first interlayer dielectric(21) is formed on a semiconductor substrate(20) including a cell region and a fuse box region. A core insulating layer is formed on the first interlayer dielectric(21). A storage electrode is formed on the cell region. A photoresist pattern is formed on the fuse box region of the core insulating layer. The core insulating layer is etched by using the photoresist pattern as an etching mask. The photoresist pattern is removed. A dielectric layer and a conductive layer for plate electrode are formed on the whole structure. A plate electrode(26a) and a fuse (26b) are formed by etching the stacked structure.



COPYRIGHT 2001 KIPO

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.⁷
H01L 27/04

(11) 공개번호 특2001-0061081
(43) 공개일자 2001년07월07일

(21) 출원번호	10-1999-0063565
(22) 출원일자	1999년12월28일
(71) 출원인	주식회사 하이닉스반도체
(72) 발명자	경기 이천시 부발읍 아미리 산136-1 황치선 대전광역시유성구원내동진잠타운아파트203-304 최병진 경기도화성군태안읍병점리809주공아파트113-202
(74) 대리인	이후동, 이정훈

심사청구 : 없음

(54) 반도체소자의 퓨즈 형성방법

요약

본 발명은 반도체소자의 퓨즈 형성방법에 관한 것으로, 셀영역 상에 저장전극형성후 퓨즈박스영역 상에 절연막 패턴을 형성하여 셀영역과 퓨즈박스영역의 단차를 동일하게 형성한 다음, 캐패시터의 플레이트전극 형성시 상기 절연막 패턴 상부에 퓨즈를 형성하여 퓨즈 상부에 적층되는 절연막의 두께를 감소시킴으로써 퓨즈 상부에 형성되는 절연막의 두께를 용이하게 조절할 수 있으므로 후속 리페어공정을 용이하게 하는 기술이다.

대표도

도2f

명세서

도면의 간단한 설명

도 1 은 종래기술에 따른 반도체소자의 제조방법을 도시한 단면도.
도 2a 내지 도 2f 는 본 발명에 따른 반도체소자의 제조방법을 도시한 단면도.
< 도면의 주요부분에 대한 부호 설명 >

10, 20 : 반도체기판	11, 21 : 제1층간절연막
12, 23b : 저장전극	13a, 26a : 플레이트전극
13b, 26b : 퓨즈	14, 29 : 제2층간절연막
15 : 제1금속배선	16 : 제3층간절연막
17 : 제2금속배선	18 : 제4층간절연막
22 : 코아절연막	23a : 저장전극용 도전층
24 : 제1감광막 패턴	25 : 제2감광막 패턴
27 : 퓨즈보호절연막	28 : 식각방지막
I : 셀영역	II : 퓨즈박스영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자의 퓨즈 형성방법에 관한 것으로서, 특히 퓨즈박스영역에서 퓨즈가 형성될 부분을 셀영역과 단차를 동일하게 형성한 다음, 퓨즈를 형성하여 퓨즈 상부에 퓨즈보호절연막의 두께를 감소시킴으로써 리페어 공정을 용이하게 하는 방법에 관한 것이다.

일반적인 미세패턴 형성기술의 발달로 반도체소자가 고집적화되어 감에 따라 디램소자의 경우에는 메모리 용량이 4배 증가되면, 칩의 크기도 대략 2배 정도 증가된다.

따라서, 부분적인 불량 발생의 비율이 증가되므로 제조된 칩에 불량이 전혀 없는 완전한 칩의 수율은 감소하게 되어 생산성이 떨어지므로 칩내에 여분의 메모리셀을 형성하여 제조 과정에서 불량이 발생된 셀과 교환하여 사용함으로써 칩의 수율을 증가시킨다.

반도체소자를 완성한 다음, 불량이 발생된 회로를 리페어(repair)시키기 위하여 퓨즈박스를 오픈시킨 다음, 해당되는 퓨즈를 레이저(laser)를 이용하여 절단해주게 된다.

이러한 상황에서 레이저 퓨즈 블로잉방법(fuse blowing method)을 사용하는 리페어방법은 퓨즈박스 위에 산화막을 제거, 레이저가 투과하여 퓨즈를 끊어줄 정도의 산화막 두께로 컨트롤(control)하여야 하는 식각상의 문제점이 있고, 로트(lot)별, 웨이퍼(wafer)별 발생할 수 밖에 없는 퓨즈 박스 오픈전 산화막 두께 베리에이션(variation)으로 인한 퓨즈 박스 오픈을 위한 산화막 식각공정시 남아있는 산화막 두께 베리에이션은 리페어시 퓨즈 블로잉에 안정성을 떨어뜨리는 요인이 되고 있다.

도 1 은 종래기술에 따른 반도체소자의 제조방법을 도시한 단면도로서, 소정의 하부구조물이 형성되어 있는 반도체기판(10) 상부에 제1층간절연막(11)을 형성하고, 그 상부에 저장전극(12)을 형성한 다음, 유전체막(도시안됨) 및 플레이트전극(13a)을 형성하여 셀영역(I)에 캐패시터를 형성한다. 상기 플레이트전극(13a) 형성시 퓨즈박스영역(II) 상에 퓨즈(13b)가 형성된다.

그 후, 전체표면 상부에 제2층간절연막(14)을 형성하고 제1금속배선(15)을 형성한 다음, 제3층간절연막(16)을 형성하고 제2금속배선(17)을 형성하는 등의 후속공정을 실시한다.

상기와 같이 종래기술에 따른 반도체소자의 제조방법에서, 셀영역의 저장전극이 높은 단차를 갖기 때문에 플레이트전극 형성시 형성되는 퓨즈의 상부에 후속공정으로 적층되는 절연막의 두께가 많기 때문에 소자를 완성한 후 퓨즈박스영역을 노출시키는 리페어식각공정이 어려운 문제점이 있다.

발명이 이루고자하는 기술적 과제

본 발명은 상기한 종래기술의 문제점을 해결하기 위하여, 퓨즈박스영역에서 퓨즈가 형성될 부분에 절연막 패턴을 형성하여 셀영역과 동일한 단차를 형성한 다음, 퓨즈를 형성하여 퓨즈 상부에 퓨즈보호절연막의 두께를 감소시켜 리페어공정을 용이하게 하는 반도체소자의 퓨즈 형성방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

이상의 목적을 달성하기 위하여 본 발명에 따른 반도체소자의 퓨즈 형성방법은,

셀영역과 퓨즈박스영역이 구비된 반도체기판 상부에 제1층간절연막을 형성하는 공정과,

상기 제1층간절연막 상부에 저장전극으로 예정되는 부분을 노출시키는 코아절연막을 형성하는 공정과,

상기 코아절연막 상부에 저장전극용 도전층을 형성하는 공정과,

상기 저장전극용 도전층 상부에 저장전극으로 예정되는 부분을 보호하는 제1감광막 패턴을 형성하고, 상기 제1감광막 패턴을 식각마스크로 사용하여 상기 저장전극용 도전층을 식각하는 공정과,

상기 제1감광막 패턴과 저장전극용 도전층의 상부를 식각하여 저장전극을 형성하고, 상기 제1감광막 패턴을 제거하는 공정과,

상기 코아절연막 상부에 상기 퓨즈박스영역에서 퓨즈가 형성될 부분을 보호하는 제2감광막 패턴을 형성하는 공정과,

상기 제2감광막 패턴을 식각마스크로 사용하여 상기 코아절연막을 제거하고, 상기 제2감광막 패턴을 제거하는 공정과,

전체표면 상부에 유전체막과 플레이트전극용 도전층의 적층구조를 순차적으로 형성하는 공정과,

상기 셀영역에서 플레이트전극으로 예정되는 부분과 퓨즈박스영역에서 퓨즈로 예정되는 부분을 보호하는 식각마스크를 사용하여 상기 적층구조를 식각하여 플레이트전극과 퓨즈를 형성하는 공정과,

전체표면 상부에 소정 두께의 절연막을 형성하는 공정을 포함하는 것을 특징으로 한다.

이하, 첨부된 도면을 참고로 하여 본 발명을 상세히 설명하기로 한다.

도 2a 내지 도 2f 는 본 발명에 따른 반도체소자의 퓨즈 형성방법을 도시한 단면도이다.

먼저, 소정의 하부구조물이 형성되어 있는 반도체기판(20) 상부에 제1층간절연막(21)을 형성하고, 상기 제1층간절연막(21) 상부에 코아절연막(22)을 형성한다.

다음, 저장전극 마스크를 식각마스크로 상기 코아절연막(22)을 식각하여 반도체기판(20)의 셀영역(I)에서 저장전극으로 예정되는 부분을 노출시키는 홈을 형성한다. (도 2a참조)

그 다음, 전체표면 상부에 저장전극용 도전층(23a)을 형성하되, 상기 홈이 매립되지 않도록 형성하고, 상기 셀영역(I)에서 저장전극이 형성될 부분을 보호하는 제1감광막 패턴(24)을 형성한다. (도 2b참조)

그리고, 상기 제1감광막 패턴(24)을 식각마스크로 사용하여 상기 저장전극용 도전층(23a)을 식각한 다음, 상기 제1감광막 패턴(24)과 저장전극용 도전층(23a)을 전면식각 또는 화학적 기계적 연마(chemical mechanical polishing, CMP)공정으로 식각하여 상기 저장전극용 도전층(23a)의 상부를 분리시켜 저장전

극(23b)을 형성한다.

그 다음, 상기 저장전극(23b) 내부에 남아 있는 제1감광막 패턴(24)을 제거한다.

다음, 상기 코아절연막(22) 상부에 반도체기판(20)의 퓨즈박스영역(II)에서 퓨즈가 형성될 부분을 보호하는 제2감광막 패턴(25)을 형성한다. (도 2c참조)

그 다음, 상기 제2감광막 패턴(25)을 식각마스크로 사용하여 상기 코아절연막(22)을 식각하여 상기 셀영역(I) 상의 코아절연막(22)을 모두 제거하고, 상기 퓨즈박스영역(II) 상에만 코아절연막(22)이 형성되도록 하여 상기 셀영역(I)과 퓨즈박스영역(II)의 단차를 갖게 한다. (도 2d참조)

그리고, 상기 제2감광막 패턴(25)을 제거한 다음, 전체표면 상부에 유전체막(도시안됨)과 플레이트전극용 도전층(도시안됨)의 적층구조를 순차적으로 형성한다.

다음, 셀영역(I)에서 플레이트전극으로 예정되는 부분과 퓨즈박스영역(II)에서 퓨즈로 예정되는 부분을 보호하는 식각마스크를 사용하여 상기 적층구조를 식각하여 플레이트전극(26a), 유전체막 패턴(도시안됨) 및 퓨즈(26b)를 형성한다. (도 2e참조)

그 다음, 전체표면 상부에 퓨즈보호절연막(27)을 소정 두께 형성한다. 상기 퓨즈보호절연막(27)은 산화막으로 형성한다.

그 후, 상기 퓨즈보호절연막(27) 상부에 제2층간절연막(29)을 형성하여 평탄화시킨다.

이때, 상기 퓨즈보호절연막(27)을 형성한 다음, 퓨즈박스영역(II)의 상기 퓨즈(26b) 상부에 식각방지막(28)을 형성하여 후속공정에서 퓨즈박스영역(II)을 노출시키기 위한 식각공정시 상기 퓨즈(26b)가 식각되는 것을 방지한다. 상기 식각방지막(28)은 상기 퓨즈보호절연막(27)과 식각선택비 차이를 갖는 다결정실리콘층 또는 질화실리콘층으로 형성한다. (도 2f참조)

발명의 효과

이상에서 설명한 바와 같이 본 발명에 따른 반도체소자의 퓨즈 형성방법은, 셀영역 상에 저장전극형성후 퓨즈박스영역 상에 절연막 패턴을 형성하여 셀영역과 퓨즈박스영역의 단차를 동일하게 형성한 다음, 캐패시터의 플레이트전극 형성시 상기 절연막 패턴 상부에 퓨즈를 형성하여 퓨즈 상부에 적층되는 절연막의 두께를 감소시킴으로써 퓨즈 상부에 형성되는 절연막의 두께를 용이하게 조절할 수 있으므로 후속 리페어공정을 용이하게 하는 이점이 있다.

(57) 청구의 범위

청구항 1

셀영역과 퓨즈박스영역이 구비된 반도체기판 상부에 제1층간절연막을 형성하고, 상기 제1층간절연막 상부에 저장전극으로 예정되는 부분을 노출시키는 코아절연막을 형성하는 공정과,

상기 셀영역 상에 저장전극을 형성하는 공정과,

상기 코아절연막 상부에 상기 퓨즈박스영역에서 퓨즈로 예정되는 부분을 보호하는 감광막 패턴을 형성하는 공정과,

상기 감광막 패턴을 식각마스크로 상기 코아절연막을 식각하는 공정과,

상기 감광막 패턴을 제거하는 공정과,

전체표면 상부에 유전체막과 플레이트전극용 도전층의 적층구조를 순차적으로 형성하는 공정과,

상기 셀영역에서 플레이트전극으로 예정되는 부분과 퓨즈박스영역에서 퓨즈로 예정되는 부분을 보호하는 식각마스크를 사용하여 상기 적층구조를 식각하여 플레이트전극과 퓨즈를 형성하는 공정과,

전체표면 상부에 소정 두께의 절연막을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체소자의 퓨즈 형성방법.

청구항 2

제 1 항에 있어서,

상기 코아절연막은 습식식각방법으로 제거하는 것을 특징으로 하는 반도체소자의 퓨즈 형성방법.

청구항 3

제 1 항에 있어서,

상기 절연막 상부에 식각방지막을 형성하는 것을 특징으로 하는 반도체소자의 퓨즈 형성방법.

청구항 4

제 3 항에 있어서,

상기 식각방지막은 상기 절연막과 식각선택비 차이를 갖는 박막으로 형성하는 것을 특징으로 하는 반도체소자의 퓨즈 형성방법.

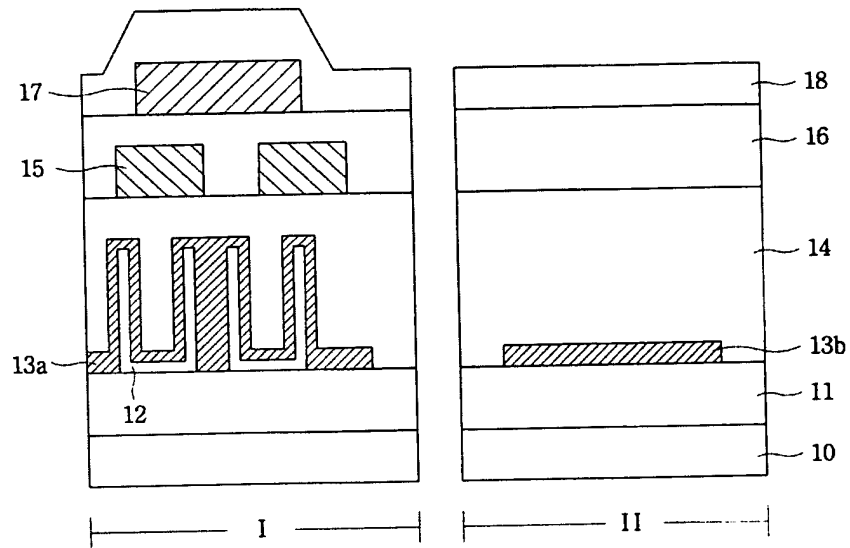
청구항 5

제 3 항 에 있어서,

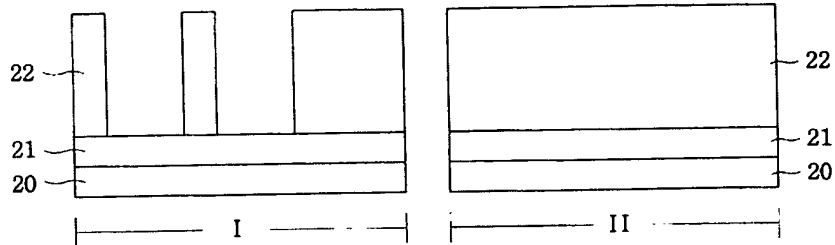
상기 식각방지막은 다결정실리콘층 또는 질화실리콘층으로 형성하는 것을 특징으로 하는 반도체소자의 퓨즈 형성방법.

도면

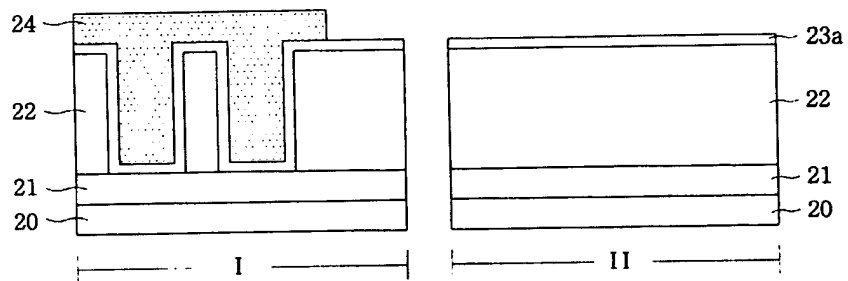
도면1



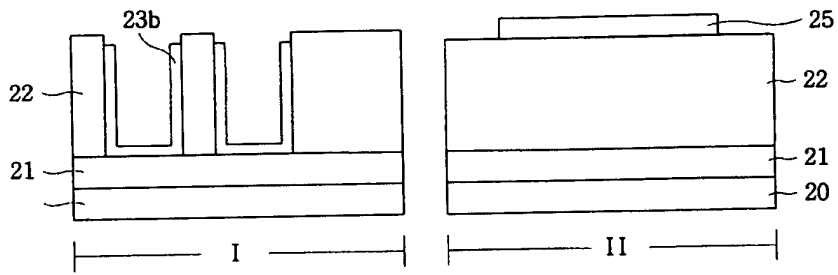
도면2a



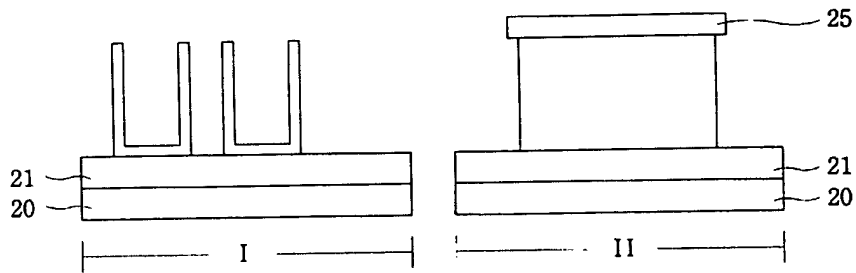
도면2b



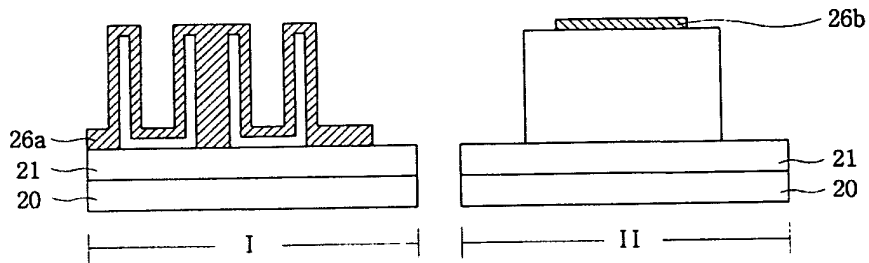
도면2c



도면2d



도면2e



도면2f

